

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant(s): TAMEMOTO, Hiroshi et al.

Application No.:

Group:

Filed: November 29, 2001

Examiner:

For: SEMICONDUCTOR INTEGRATED CIRCUIT

LETTER

Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

November 29, 2001
2936-0142P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2000-367702	12/01/00

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By: 

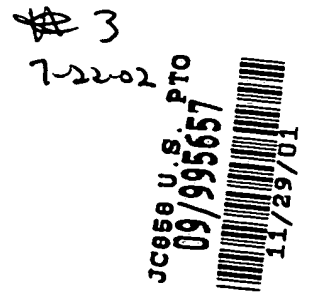
TERRELL C. BIRCH

Reg. No. 19,382

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment
(703) 205-8000
/sll



TAMEMOTO, Hiroshi et al.
November 29, 2001
BskB, LLP
(703)265-8000
2936-0142P
1 of 1

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2000年12月 1日

出 願 番 号

Application Number: 特願2000-367702

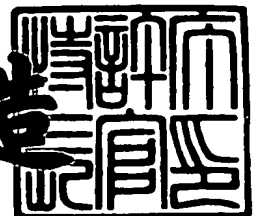
出 願 人

Applicant(s): シャープ株式会社

2001年 8月31日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3080776

【書類名】 特許願

【整理番号】 00J03647

【提出日】 平成12年12月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 1/08

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
シャープ株式会社内

【氏名】 爲本 博

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
シャープ株式会社内

【氏名】 小西 健三

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100084548

【弁理士】

【氏名又は名称】 小森 久夫

【手数料の表示】

【予納台帳番号】 013550

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003076

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 1 つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路であって、

命令実行サイクル単位で、該回路ブロックの動作周波数を変更または停止可能に構成したことを特徴とする半導体集積回路。

【請求項 2】 1 つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路であって、

命令コードからブロック毎に最適な動作周波数を認識し、該回路ブロック毎の動作周波数を実行する命令実行サイクル単位に、該回路ブロック毎の動作周波数を変更または停止可能に構成したことを特徴とする半導体集積回路。

【請求項 3】 複数のメモリ、または論理的に複数メモリとして扱う単一メモリを回路外部または内部に有し、命令セットを実行する半導体集積回路であって、

該メモリのメモリブロック単位でアドレスをデコードして、動作周波数を実行する命令単位または命令実行サイクル単位に動作周波数を変更し、対応するメモリの性能に応じて、データアクセスのサイクルの動作スピードを変更可能に構成したことを特徴とする半導体集積回路。

【請求項 4】 1 つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路であって、

I/O アドレスをデコードし、該デコード結果に対応する 1 つまたは複数の周辺回路の各動作速度に応じて、CPU 及び該周辺回路の動作周波数を実行する命令単位または実行サイクル単位に、該動作周波数を変更または停止可能に構成したことを特徴とする半導体集積回路。

【請求項 5】 1 つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路であって、

データアクセスの際にキャッシュメモリにヒットしたか否かにより、内部の CPU 及び周辺回路へのアクセス回路の動作周波数を、実行命令単位または実行サ

イクル単位に該動作周波数を変更または停止可能に構成したことを特徴とする半導体集積回路。

【請求項 6】 1 つまたは複数の回路ブロックを有し、命令セットを実行し、命令処理またはデータ処理の少なくとも何れかをパイプライン方式で実行する半導体集積回路であって、

同時に実行する処理の負荷に差がある場合、一方の処理よりも負荷が軽い処理の動作周波数を遅くするように構成したことを特徴とする半導体集積回路。

【請求項 7】 1 つまたは複数の回路ブロックを有し、命令セットをスーパースケラ方式で実行する半導体集積回路であって、

複数のデータ処理経路に入力するクロックをそれぞれ独立して入力するように構成され、同時に実行する処理の負荷に応じて各実行ステージの動作周波数を個別に変更可能に構成したことを特徴とする半導体集積回路。

【請求項 8】 1 つまたは複数の回路ブロックを有し、命令セットを V L I W 方式で実行する半導体集積回路であって、

複数のデータ処理経路に入力するクロックをそれぞれ独立して入力するように構成し、また、同時に実行する処理の負荷に応じて各実行ステージの動作周波数を個別に変更可能に構成したことを特徴とする半導体集積回路。

【請求項 9】 1 つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路であって、

プログラム実行時に各ブロックに対して動作周波数を変更または停止する頻度に応じてクロックツリーを階層化して構成したことを特徴とする半導体集積回路。

【請求項 1 0】 1 つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路であって、

異なる動作周波数で動作させても良い場所を命令の処理内容や該命令の前後の命令との関係からコンパイラで決定し、該命令中の一部のビットにその情報を書き込むように構成し、また、一部または全てのブロックの動作周波数を命令単位または実行サイクル単位で変更または停止可能に構成したことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路の、クロック信号に関する低消費電力化技術に関する。

【0002】

【従来の技術】

半導体集積回路では、近年の動作周波数の高速化により、全消費電力に対するクロック信号の電力消費の割合は大きなものとなっている。そのため、クロック信号に関する低消費電力化技術が多数報告されている。

【0003】

上記低消費電力技術についての従来技術は、大きく以下の5つに分類できる。すなわち、

1. 回路中の不要部分へのクロック信号の供給を停止するか、ごく低速のクロックを供給することで低消費電力化を達成する方法
2. クロック信号、またはその受信部となるフリップフロップやラッチ回路自身に工夫を凝らすことで、低消費電力化を達成する方法
3. 回路の動作状態をいくつかのモードに分け、固有のプログラム命令により電源またはクロック周波数を各々のモードについて機能ブロック単位で制御して電力消費を低減させる方法
4. プログラムコンパイル時にクロック切替え命令を挿入し、回路の動作に応じてクロックの速度を切り替えることで消費電力を低減させる方法
5. 低速の周辺回路に係る命令処理時にはクロックのスピードを遅くする方法である。

【0004】

まず、上記従来技術1として示した「回路中の不要部分へのクロック信号の供給を停止する」技術は、一般的には回路中の大きな範囲から小さな範囲まで様々な階層で既に適用されているものである。例えば、特開平8-18008号公報には、使用されていない機能ブロックによって無駄に電力が消費されることが無

くなり、低消費電力化が可能である半導体集積回路装置に関する技術が開示されている。この技術は、回路中の複数の機能ブロックに対して、ある段階で動作していない回路にはクロックの供給を停止するものである。このような技術は、総じてゲーティッドクロックと呼ばれているものであり大きな電力削減効果がある。

【 0 0 0 5 】

同様の技術として特開平 6 - 1 1 2 8 1 0 号公報には、内部が複数の機能回路ブロックに分かれて構成され、スタンバイモード等の特殊な動作モード時に使用される第 1 のブロックと、使用されない第 2 のブロックと、を有するデジタル IC 装置において、使用されない第 2 のブロックのクロック信号を停止する、またはクロック信号の周波数を下げることにより、第 2 ブロックを流れる電流量を減少させて電力消費量を抑える技術が開示されている。

【 0 0 0 6 】

また、特開平 6 - 2 9 5 2 4 3 号公報には、パイプラインで処理の長いステージが完了するまでの間、他の待機状態になっているステージのクロックを停止するデータ処理装置に関する技術が開示されている。

【 0 0 0 7 】

次に、上記従来技術 2 として示した「クロック信号自身に工夫を凝らす」という技術は、様々な種類のものが報告されている。例えば、「低消費電力・高速 LSI 技術」（桜井貴康編、2. 1. 7. 1. 小振幅クロック技術、リアライズ社）に記載されたクロック信号振幅を半減させることによるものや、フリップフロップに工夫を凝らした低消費電力化技術などがその代表である。

【 0 0 0 8 】

上記従来技術 3 に関しては、例えば、電源またはクロック周波数を制御するための命令を作って、これを実行プログラム中に挿入することで随時電圧もしくは動作周波数を変える手法が、特開平 5 - 2 1 0 4 3 3 号公報及び特開平 6 - 3 3 2 5 8 3 号公報に、デジタル電子機器用電力制御装置、該電力装置を備えた処理装置、及び該処理装置を備えたデジタル電子機器用電力管理システムに関する技術として開示されている。これらの公報に開示された装置及びシステムでは

、回路中の機能ブロック単位に電源のON/OFF、クロック周波数の変更を行うような命令コードを準備し、そのときのデバイスの動作モードに応じてデバイス内部の各機能ブロックへ供給される電源またはクロックをコントロールしている。そして、多くの場合、待機モードと動作モードといった切り分けを行い、回路動作が少ない場合にクロックや電源を制御することを提案している。

【0009】

上記従来技術4として示した「プログラムコンパイル時にクロック切替え命令を挿入する」方法は、例えば、特開平9-22318号公報にプロセッサ及びその制御方法に関する技術として開示されている。この方法では、クロックスピードを切り替える単位が重要である。すなわち、クロックスピードを細かく制御して処理速度を最適化しようとする、クロック切替え命令が頻繁に挿入されることになり、処理速度に与える影響が大きくなる。一方、クロック切替え命令の挿入を減らすために大雑把にクロックを切り替えると、低速回路に引きずられて処理速度が低下するか、または処理速度向上の為にクロックを低速化できないために消費電力が低減されない。

【0010】

従来技術5として示した「低速の周辺回路に係る命令処理時にクロックを遅くする」手法は、例えば、特開昭62-232053号公報のマイクロコンピュータの動作速度制御装置に、その技術が開示されている。この場合、低速の周辺回路が例えば書き込み時だけスピードが遅かったとしても、該回路にアクセスする限りは低速動作することになり、必要以上にシステムの処理速度を低下させることになる。

【0011】

また、特開平8-147161号公報には、この点を考慮し、例えば低速の周辺回路からのデータリードアクセス時のみウェイトステートを挿入することで処理速度の低下を最低限に抑えるデータ処理装置に関する技術が開示されている。この技術は、消費電力を抑えつつ処理速度の低減を最小限に抑えるには有効な手投であるが、処理サイクル毎の電力のばらつきが大きい。すなわち、ウェイト期間には内部動作が少ないため電力は少ないが、ウェイトの前のサイクルでは同時

に多くの処理が行われるため、電流のピークが大きくなる傾向がある。

【 0 0 1 2 】

また、上記 5 つの従来技術以外の方法として、特開平 8 - 2 7 2 4 7 9 号公報には、動作ユニット単位に各々の動作状況に合わせて別々のクロックを与える可変クロック発生装置に関する技術が開示されている。

【 0 0 1 3 】

【発明が解決しようとする課題】

従来技術 1 として示した「回路中の不要部分へのクロック信号の供給を停止する」という技術における問題点を、図 1 0 に基づいて説明する。図 1 0 は、半導体集積回路の一般的な回路構成図、及び所定の状態における各ブロックの状態を示した図である。半導体集積回路 7 0 は、所定の動作・処理を行うブロック A 7 1、ブロック B 7 2、ブロック C 7 3、クロックジェネレータ 7 4 及び CPU 7 5 によって構成される。各ブロックの動作クロックは、クロックジェネレータ 7 4 から供給される。また、各部は CPU 7 5 により制御される。

【 0 0 1 4 】

半導体集積回路 7 0 では、各ブロック 7 1 ~ 7 3 が例えばある期間に少しでも動作する瞬間があれば、そのブロックに対しては通常動作時と同等のクロックを供給しなければならない。よって、各ブロック 7 1 ~ 7 3 に対して、クロック信号を供給する／しない／遅くする、という判断を行っても、半導体集積回路 7 0 における低電力化の効果が少なくなるという問題がある。例えば、図 1 0 (B) に示したように、サイクル “ハ” ではブロック A 7 1 がメインで動作し、その間わずかにブロック C 7 3 が動作する。この場合、従来の手法ではブロック C 7 3 に対しても通常のクロックを供給し続けることになる。したがって、低電力化の効果は、ブロック B 7 2 が停止している分だけになる。

【 0 0 1 5 】

また、最近の半導体集積回路では、スタンバイモード等の待機モードにおいても回路中で停止可能な機能ブロックが減少してきている。そのために、クロック信号の供給を完全に停止することができないことが多い。この問題の対処方法として、待機モードでは動作時よりも遅いクロックで動作するようコントロールす

る手法が発表されている。しかしながら、動作モード時については何ら対策されない。すなわち、動作している回路については、ある程度低速のクロックでよい場合でも、従来通り高速のクロックが供給され続けるため、動作中の無駄な動作による消費電力の削減ができない。

【0016】

従来技術2として示した「クロック信号自身に工夫を凝らす」方法では、例えばクロックの信号振幅を半減させる手法などが報告されているが、通常のロジックとは別の電源配線が必要になる。そのため、チップ面積に影響が大きいことと、ノイズマージンの低下をもたらす、といった問題が有る。

【0017】

従来技術3として示した「デバイスの動作モードに応じて、各機能ブロックに供給する電源のON/OFFやクロック周波数の変更を行うためのプログラム命令を準備する」手法については、まず回路の状態をいくつかのモードに明確に切り分ける必要がある。また、特開平9-22318号公報に開示されたプロセッサ及びその制御方法においては、既存のプログラムに対してソフトウェア上で電力を考慮しながら命令を追加しなければならない。

【0018】

従来技術4として示した「プログラムコンパイル時にクロック切替え命令を挿入する」方法については、モードを切り替えるためのプログラムを実行する間、処理が停止してしまう。また、前記のように、クロックスピードをより細かくモードを制御しようとする、モード切替え信号を実行する間の時間的なペナルティが大きくなってしまいうという問題がある。

【0019】

従来技術5として示した「低速の周辺回路に係る命令処理時にはクロックのスピードを遅くする」方法については、周辺回路として接続されるメモリ等の回路の動作速度が、システムの動作速度と比較して遅い場合、通常これらの回路にアクセスする時にはウェイトサイクルを追加する。このとき、データのアクセスをする回路以外は状態を保持したまま処理を行わない。状態を保持する為には、クロック信号による制御が不可欠であり、結果として無駄な回路動作となる。ウェ

イトサイクルを追加せずにメモリの処理速度に応じてクロックを遅くする手法は、例えば特開平 3 - 5 5 6 1 4 号公報、特開平 2 - 1 1 8 8 1 1 号公報、特開昭 6 2 - 2 3 2 0 5 3 号公報に、それぞれ電子機器、マイクロコンピュータ、マイクロコンピュータの動作速度制御装置の技術として開示されている。しかし、これらのメモリにアクセスする際のシステム動作速度に対するペナルティが大きくなる。

【 0 0 2 0 】

また、上記 5 つの従来技術以外の方法である特開平 8 - 2 7 2 4 7 9 号公報の可変クロック発生装置については、同時に複数の処理を行う場合、処理の内容によって要する時間は異なる。多くの場合、処理時間の短いものは処理を完了した後、処理時間の長いものが終了するまで結果を保持している。データを保持する為にはクロック信号による制御が不可欠であり、結果として無駄な回路動作となる。

【 0 0 2 1 】

そこで、本発明は上記の問題を解決するために創作したものであり、その目的は、1 つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路において、より効率的に消費電力の低減を図ることができる回路構成方法を提供することである。

【 0 0 2 2 】

【課題を解決するための手段】

この発明は、上記の課題を解決するための手段として、以下の構成を備えている。

【 0 0 2 3 】

(1) 1 つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路であって、命令実行サイクル単位で、該回路ブロックの動作周波数を変更または停止可能に構成したことを特徴とする。

【 0 0 2 4 】

この構成において、1 つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路は、命令実行サイクル単位で、該回路ブロックの動作周波数

を変更または停止可能に構成されている。したがって、周波数可変とするときに、最小単位でクロックを制御することから、システムの処理速度の低下を必要最小限にできる。また、実行する命令コードを元に、機能回路ブロック単位にクロック周波数を選択可能とすることにより、ソフトウェア上では消費電力の低減を特に意識する必要がなくなる。

【 0 0 2 5 】

(2) (1) の構成において、前記回路ブロックの動作周波数を変更または停止するセクタ回路と、該セクタ回路を命令実行サイクル単位で制御する制御手段と、を備えたとすることができる。この構成においては、セクタ回路によって、1つまたは複数の回路ブロックの動作周波数を変更または停止され、また、セクタ回路は命令実行サイクル単位で制御手段によって制御される。したがって、周波数可変とするときに、命令実行サイクル単位でクロックを制御することから、システムの処理速度の低下を必要最小限にすることが可能となる。

【 0 0 2 6 】

(3) 1つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路であって、命令コードからブロック毎に最適な動作周波数を認識し、該回路ブロック毎の動作周波数を実行する命令実行サイクル単位に、該回路ブロック毎の動作周波数を変更または停止可能に構成したことを特徴とする。

【 0 0 2 7 】

この構成において、1つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路は、命令コードからブロック毎に最適な動作周波数を認識し、該回路ブロック毎の動作周波数を実行する命令実行サイクル単位に、該回路ブロック毎の動作周波数を変更または停止可能に構成されている。したがって、クロック周波数の変更を実行サイクル単位に変更可能とすることにより、クロック制御のための特別な命令を追加することなく、システムのクロックを制御でき、動作速度の低下を最低限に抑えつつ、より効率的に消費電力を低減することが可能となる。

【 0 0 2 8 】

(4) (3) の構成において、前記回路ブロックの動作周波数を変更または停止す

るセクタ回路と、命令コードからブロック毎に最適な動作周波数を認識し、該セクタ回路を命令実行サイクル単位で制御する制御手段と、を備えたとすることができる。この構成においては、セクタ回路によって、1つまたは複数の回路ブロックの動作周波数が変更または停止され、また、命令コードからブロック毎に最適な動作周波数を認識し、命令実行サイクル単位で制御を行う制御手段によってセクタ回路は制御される。したがって、クロック周波数の変更を実行サイクル単位に変更可能となり、容易にクロックを制御できる。

【0029】

(5) 複数のメモリ、または論理的に複数メモリとして扱う単一メモリを回路外部または内部に有し、命令セットを実行する半導体集積回路であって、該メモリのメモリブロック単位でアドレスをデコードして、動作周波数を実行する命令単位または命令実行サイクル単位に動作周波数を変更し、対応するメモリの性能に応じて、データアクセスのサイクルの動作スピードを変更可能に構成したことを特徴とする。

【0030】

この構成においては、複数のメモリ、または論理的に複数メモリとして扱う単一メモリを回路外部または内部に有し、命令セットを実行する半導体集積回路は、該メモリのメモリブロック単位でアドレスをデコードして、動作周波数を実行する命令単位または命令実行サイクル単位に動作周波数を変更し、対応するメモリの性能に応じて、データアクセスのサイクルの動作スピードを変更可能に構成されている。したがって、低速周辺回路に連続してアクセスするときに、処理速度を大幅に低下させることなく、無駄な動作を省きつつ、必要最小限の速度低下に抑えることが可能となる。特に、処理の遅い周辺回路とのアクセス時のように、従来ならばウェイトサイクルを追加しなければならないような場合、例えば、1ウェイトサイクルを入れる代わりに、この処理を行う間のクロックスピードを $1/2$ に低減することで、無駄な信号遷移をなくすることが可能となる。

【0031】

(6) (5) の構成において、動作周波数を実行する命令単位または命令実行サイクル単位に動作周波数を変更するセクタ回路と、該メモリのメモリブロック単

位でアドレスをデコードして、対応するメモリの性能に応じて、データアクセスのサイクルの動作スピードを変更するように該セクタ回路を制御する制御手段と、を備えたとすることができる。この構成においては、制御手段は、動作周波数を実行する命令単位または命令実行サイクル単位に動作周波数を変更するように、また、該メモリのメモリブロック単位でアドレスをデコードして、対応するメモリの性能に応じて、データアクセスのサイクルの動作スピードを変更するように、該セクタ回路を制御する、したがって、低速周辺回路に連続してアクセスするときに、処理速度を大幅に低下させることなく、無駄な動作を省きつつ、必要最小限の速度低下に抑えることが可能となる。

【 0 0 3 2 】

(7) 1つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路であって、I/Oアドレスをデコードし、該デコード結果に対応する1つまたは複数の周辺回路の各動作速度に応じて、CPU及び該周辺回路の動作周波数を実行する命令単位または実行サイクル単位に、該動作周波数を変更または停止可能に構成したことを特徴とする。

【 0 0 3 3 】

この構成においては、1つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路は、I/Oアドレスをデコードし、該デコード結果に対応する1つまたは複数の周辺回路の各動作速度に応じて、CPU及び該周辺回路の動作周波数を実行する命令単位または実行サイクル単位に、該動作周波数を変更または停止可能に構成されている。したがって、低速周辺回路に連続してアクセスするときに、処理速度を大幅に低下させることなく、無駄な動作を省きつつ、必要最小限の速度低下に抑えることができる。

【 0 0 3 4 】

(8) (7) の構成において、動作周波数を実行する命令単位または命令実行サイクル単位に動作周波数を変更または停止するセクタ回路と、I/Oアドレスをデコードし、該デコード結果に対応する1つまたは複数の周辺回路の各動作速度に応じて、該セクタ回路を制御する制御手段と、を備えたとすることができる。この構成においては、I/Oアドレスをデコードし、該デコード結果に対応す

る1つまたは複数の周辺回路の各動作速度に応じて、制御手段は、動作周波数を実行する命令単位または命令実行サイクル単位に動作周波数を変更または停止するセレクタ回路を制御する。したがって、低速周辺回路に連続してアクセスするときに、処理速度を大幅に低下させることなく、無駄な動作を省きつつ、必要最小限の速度低下に抑えることができる。

【 0 0 3 5 】

(9) 1つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路であって、データアクセスの際にキャッシュメモリにヒットしたか否かにより、内部のCPU及び周辺回路へのアクセス回路の動作周波数を、実行命令単位または実行サイクル単位に該動作周波数を変更または停止可能に構成したことを特徴とする。

【 0 0 3 6 】

この構成において、1つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路は、データアクセスの際にキャッシュメモリにヒットしたか否かにより、内部のCPU及び周辺回路へのアクセス回路の動作周波数を、実行命令単位または実行サイクル単位に該動作周波数を変更または停止可能に構成されている。したがって、高速処理が可能なキャッシュヒット時と低速処理が必要なヒットしなかった時とで、自動的に最適なクロック速度に切り替えることが可能となる。

【 0 0 3 7 】

(10) (9) の構成において、データアクセスの際にキャッシュメモリにヒットしたか否かにより、内部のCPU及び周辺回路へのアクセス回路の動作周波数を、実行命令単位または実行サイクル単位に該動作周波数を変更または停止する制御手段を備えたとすることができる。この構成においては、制御手段によってデータアクセスの際にキャッシュメモリにヒットしたか否かにより、内部のCPU及び周辺回路へのアクセス回路の動作周波数を、実行命令単位または実行サイクル単位に該動作周波数を変更または停止される。したがって、高速処理が可能なキャッシュヒット時と低速処理が必要なヒットしなかった時とで、自動的に最適なクロック速度に切り替えることが可能となる。

【 0 0 3 8 】

(11) 1 つまたは複数の回路ブロックを有し、命令セットを実行し、命令処理またはデータ処理の少なくとも何れかをパイプライン方式で実行する半導体集積回路であって、同時に実行する処理の負荷に差がある場合、一方の処理よりも負荷が軽い処理の動作周波数を遅くするように構成したことを特徴とする。

【 0 0 3 9 】

この構成においては、1 つまたは複数の回路ブロックを有し、命令セットを実行し、命令処理またはデータ処理の少なくとも何れかをパイプライン方式で実行する半導体集積回路は、同時に実行する処理の負荷に差がある場合、一方の処理よりも負荷が軽い処理の動作周波数を遅くするように構成される。したがって、信号処理がサイクル内で十分速く終了し、処理されたデータを使用するまでにデータを保持したまま待つような回路部分に対しては、与えるクロックの周波数を低くすることでデータ保持状態にすること無く、信号処理サイクルを有効に活用することが可能となる。また、ただ何もしないサイクルが存在するならば、その前に行った処理をこのクロック停止もしくはウェイトの時間を有効に使ってゆっくりと処理させてやることで、電力消費を平均化させることができ、また、回路動作時のピーク電流を有効に抑えることが可能となる。

【 0 0 4 0 】

(12) (11) の構成において、同時に実行する処理の負荷に差がある場合、一方の処理よりも負荷が軽い処理の動作周波数を遅くするように、パイプラインを制御する制御手段を備えたとすることができる。この構成においては、制御手段によって、同時に実行する処理の負荷に差がある場合、一方の処理よりも負荷が軽い処理の動作周波数を遅くするように、パイプラインが制御される。したがって、信号処理がサイクル内で十分速く終了し、処理されたデータを使用するまでにデータを保持したまま待つような回路部分に対しては、与えるクロックの周波数を低くすることでデータ保持状態にすること無く、信号処理サイクルを有効に活用することが可能となる。

【 0 0 4 1 】

(13) 1 つまたは複数の回路ブロックを有し、命令セットをスーパースケラ方式

で実行する半導体集積回路であって、複数のデータ処理経路に入力するクロックをそれぞれ独立して入力するように構成され、同時に実行する処理の負荷に応じて各実行ステージの動作周波数を個別に変更可能に構成したことを特徴とする。

【 0 0 4 2 】

この構成において、1つまたは複数の回路ブロックを有し、命令セットをスーパースケラ方式で実行する半導体集積回路は、複数のデータ処理経路に入力するクロックをそれぞれ独立して入力するように構成され、同時に実行する処理の負荷に応じて各実行ステージの動作周波数を個別に変更可能に構成される。したがって、クロック周波数の異なる複数の信号処理経路を持つことで、処理の振り分け段階で高速／低速動作経路へ各々の命令を最適に振り分けることが可能となる。また、軽い処理は低速クロックで、重い処理は高速クロックで処理した結果がほぼ同時に出力されるようになり、処理の早く終わった処理系統が無駄にCLKをカウントすることなく処理を行うことが可能となる。

【 0 0 4 3 】

(14) (13)の構成において、同時に実行する処理の負荷に応じて各実行ステージの動作周波数を個別に変更可能に制御する制御手段を備えたとすることができる。この構成においては、制御手段によって、同時に実行する処理の負荷に応じて各実行ステージの動作周波数を個別に変更するように制御される。したがって、クロック周波数の異なる複数の信号処理経路を持つことで、処理の振り分け段階で高速／低速動作経路へ各々の命令を最適に振り分けることが可能となる。

【 0 0 4 4 】

(15) 1つまたは複数の回路ブロックを有し、命令セットをVLIW方式で実行する半導体集積回路であって、複数のデータ処理経路に入力するクロックをそれぞれ独立して入力するように構成し、また、同時に実行する処理の負荷に応じて各実行ステージの動作周波数を個別に変更可能に構成したことを特徴とする。

【 0 0 4 5 】

この構成において、1つまたは複数の回路ブロックを有し、命令セットをVLIW方式で実行する半導体集積回路は、複数のデータ処理経路に入力するクロックをそれぞれ独立して入力するように構成され、また、同時に実行する処理の負

荷に応じて各実行ステージの動作周波数を個別に変更可能に構成される。したがって、トータルの処理期間は一切低下させずに、内部の無駄な動作を削減することにより、システムの性能はそのままに消費電力を低減することが可能となる。また、クロック周波数の異なる複数の信号処理経路を持つことで、処理の振り分け段階で高速／低速動作経路へ各々の命令を最適に振り分けることが可能となる。

【 0 0 4 6 】

(16) (15)の構成において、同時に実行する処理の負荷に応じて各実行ステージの動作周波数を個別に変更可能に制御する制御手段を備えたとすることができる。この構成においては、制御手段によって、同時に実行する処理の負荷に応じて各実行ステージの動作周波数を個別に変更するように制御される。したがって、トータルの処理期間は一切低下させずに、内部の無駄な動作を削減することにより、システムの性能はそのままに消費電力を低減することが可能となる。

【 0 0 4 7 】

(17) 1つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路であって、プログラム実行時に各ブロックに対して動作周波数を変更または停止する頻度に応じてクロックツリーを階層化して構成したことを特徴とする。

この構成において、1つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路は、プログラム実行時に各ブロックに対して動作周波数を変更または停止する頻度に応じてクロックツリーを階層化して構成する。したがって、単純にクロックツリーを構成したときと比較してクロック切替え時に充放電が必要な配線容量が少なくて済むため、より安定した動作が可能となる。

【 0 0 4 8 】

(18) (17)の構成において、プログラム実行時に各ブロックに対して動作周波数を変更または停止する頻度に応じて構成され、複数のセレクト回路が階層化されたクロックツリーと、該セレクト回路の切替えを制御する制御手段と、を備えたとすることができる。この構成においては、プログラム実行時に各ブロックに対して動作周波数を変更または停止する頻度に応じて構成され、複数のセレクト回路が階層化されたクロックツリーのセレクト回路の切替は制御手段によって制御

される。したがって、クロックツリーを容易に制御することができる。

【 0 0 4 9 】

(19) 1つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路であって、異なる動作周波数で動作させても良い場所を命令の処理内容や該命令の前後の命令との関係からコンパイラで決定し、該命令中の一部のビットにその情報を書き込むように構成し、また、一部または全てのブロックの動作周波数を命令単位または実行サイクル単位で変更または停止可能に構成したことを特徴とする。

【 0 0 5 0 】

この構成においては、1つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路は、異なる動作周波数で動作させても良い場所を命令の処理内容や該命令の前後の命令との関係からコンパイラで決定し、該命令中の一部のビットにその情報を書き込むように構成され、また、一部または全てのブロックの動作周波数を命令単位または実行サイクル単位で変更または停止可能に構成される。したがって、プログラム時にクロック速度を考慮する必要が無く、且つ余分な命令の追加も無いため、動作性能の低下を最小限に抑えつつ低電力化が可能となる。

【 0 0 5 1 】

(20) (19)の構成において、異なる動作周波数で動作させても良い場所を命令の処理内容や該命令の前後の命令との関係からコンパイラで決定し、該命令中の一部のビットにその情報を書き込むように制御する制御手段を備えたとすることができる。この構成においては、制御手段によって、異なる動作周波数で動作させても良い場所を命令の処理内容や該命令の前後の命令との関係からコンパイラで決定し、該命令中の一部のビットにその情報を書き込むように制御される。したがって、プログラム時にクロック速度を考慮する必要が無く、且つ余分な命令の追加も無いため、動作性能の低下を最小限に抑えつつ低電力化が可能となる。

【 0 0 5 2 】

【発明の実施の形態】

〔第1実施形態〕

本発明の第 1 実施形態では、命令実行において複数の処理サイクルがある場合、処理サイクル単位で動作周波数を変更または停止することができるよう半導体集積回路を構成する。例えば、時間のかかる演算を行ったり、低速の周辺回路にアクセスしたりする場合、通常であればウェイトサイクルを挿入する。しかし、本実施形態では、このような場合、処理サイクルの動作周波数を遅くする。また、逆に処理の量が少なく、より高速で動作可能な処理サイクルがあった場合、回路の動作を高速化させるために、これらの処理サイクル実行中は動作周波数を速くする。さらに、これらのクロックの調整は、回路全体に対して行うだけでなく、各機能ブロック単位でも調整を可能にする。

【 0 0 5 3 】

図 1 は、本発明の第 1 実施形態に係る半導体集積回路の動作タイミングチャート及び従来の半導体集積回路の動作タイミングチャートである。図 2 は、選択回路の回路構成図である。図 1 (A) に示した従来技術（特開平 6 - 3 3 2 5 8 3 号公報）では、通常のクロックである周波数 a で動作している時に、周波数変更命令 `inst__B` を実行すると、以降の動作は周波数 b で行う。また、周波数 b で動作している時に、周波数変更命令 `inst__A` を実行すると、以降の動作は周波数 a で行う。

【 0 0 5 4 】

これに対して、本発明では図 1 (B) に示したように、周波数変更命令 `inst__B` によって以降の動作を完全に周波数 b で行うのではなく、特定のサイクルである `mr`、`mw` サイクルのみ周波数 b で動作させている。クロックの切替えは、例えば図 2 に示したような選択回路 11 で実現可能である。選択回路 11 は、セレクタ 12、セレクタ 13 及び切替え SW 14 により構成される。`CLK__A` 入力端子は、セレクタ 12、セレクタ 13 及び切替え SW 14 に接続されている。また、`CLK__B` 入力端子は、セレクタ 12 及びセレクタ 13 に接続されている。セレクタ 12 では、`mr` 端子から入力された信号により、`CLK__for mr` 端子に出力する信号が選択される。セレクタ 13 では、`mw` 端子から入力された信号により、`CLK__for mw` 端子に出力する信号が選択される。切替え SW 14 では、`op` 端子から入力された信号により、`CLK__for op` 端

子への信号の出力・停止が切り替えられる。選択回路 1 1 の制御は、制御手段である図外の CPU によって、命令実行サイクル単位で制御される。

【 0 0 5 5 】

また同様に、図示していないが特定のサイクルのみクロックを変更するのは、チップ全体ではなく特定の機能ブロックのみとしてもよい。図 1 に示したタイミングチャートでは、3 回目の mw サイクル終了まで、従来技術では総サイクル数が 6 2 であったが、本発明では、総サイクル数は 5 2 となる。よって、処理速度は従来手法の約 1 5 % 速くなる。

【 0 0 5 6 】

〔第 2 実施形態〕

本発明の第 2 実施形態では、これから実行しようとする命令コードを自動的に解析して、信号処理の量や処理能力に応じて各々の機能ブロックや処理サイクルのクロックを決定することができるよう半導体集積回路を構成する。この時、回路全体の周波数をコントロールするだけでなく、外部から見た動作周波数はそのまま、内部の一部の回路に対してのみ動作周波数を低下または停止させることができる。また、クロック制御のための特別な命令を追加することなく、システムのクロックを制御できる。図 3 は、半導体集積回路において命令コードと各ブロックのクロックと関係を示した図である。図 3 では、簡易に説明するために、Block__A、Block__B の 2 つの回路ブロックに対して、CLK__a ~ d の 4 種類のクロックからデータの上位 3 ビットで選択する周波数、及び周波数を変更するブロックを認識させる例を示している。つまり、データの 1 ビット目 (1 5) が 0 の場合、3 ビット目 (1 3) の値にかかわらず、2 ビット目 (1 4) が 0 であると Block__A の動作周波数として CLK__a が選択され、2 ビット目 (1 4) が 1 であると Block__A の動作周波数として CLK__b が選択される。また、データの 1 ビット目 (1 5) が 0 の場合、2 ビット目 (1 4) の値にかかわらず、3 ビット目 (1 3) が 0 であると Block__B の動作周波数として CLK__a が選択され、3 ビット目 (1 3) が 1 であると Block__B の動作周波数として CLK__b が選択される。さらに、データの 1 ビット目 (1 5) が 1 の場合、3 ビット目 (1 3) の値にかかわらず、2 ビット目 (1 4

）が0であるとBlock_Aの動作周波数としてCLK_cが選択され、2ビット目（14）が1であるとBlock_Aの動作周波数としてCLK_dが選択される。また、データの1ビット目（15）が1の場合、2ビット目（14）の値にかかわらず、3ビット目（13）が0であるとBlock_Bの動作周波数としてCLK_cが選択され、3ビット目（13）が1であるとBlock_Bの動作周波数としてCLK_dが選択される。このような動作は、制御手段である図外のCPUによって制御される図外のセクタ回路で行われる。

【0057】

なお、実際には全ての命令コードについて各ブロック、各サイクルの最適な動作周波数を求め、これを元に処理する命令単位でクロックの選択を行う。

【0058】

〔第3実施形態〕

本発明の第3実施形態では、内部または外部に接続される各メモリのイネーブル信号に応じて、回路の動作周波数をコントロールすることができるよう半導体集積回路を構成する。例えば、回路が通常動作する周波数でメモリのアクセスをしようとした時に、該当するメモリの動作速度が遅く、従来であればウェイトサイクルを発生させることでデータのやりとりをしていたような場合、該メモリをアクセスする期間だけ回路全体の動作周波数を低くして、ウェイトサイクル無しでデータのやりとりをすることができる。例として、低速なメモリにアクセスする場合について説明する。従来は命令単位にクロックを制御する。すなわち、メモリアクセスサイクルの間（オペコードフェッチ+メモリリード、またはオペコードフェッチ+ライトサイクルといった、一連の処理サイクル）を一括して低速クロックで動作させるが、これでは動作速度の低下が著しい。そこで、本発明では、制御部であるCPUで実行サイクル単位にクロックを制御する。すなわち、オペコードをフェッチするサイクルについては通常のシステムクロックで動作し、メモリリード／ライトのサイクルのみ低速で動作するようにCPUで制御する。これにより、ウェイトサイクル挿入による無駄な処理を行わずに、システム動作速度に対するペナルティはメモリにアクセスする必要最小限の時間に抑えられる。また、システムの動作速度を低下させないために、処理が十分可能であれ

ばメモリリード／ライト以外のサイクルは動作周波数を速くすることも可能とする。

【 0 0 5 9 】

図 4 は、本発明の第 3 実施形態の回路構成図及びタイミングチャートと、従来のタイミングチャートである。半導体集積回路 2 0 は、セクタ回路である CLK セクタ 2 5 と CPU 2 6 とを含む構成であり、外部メモリ MM 1 ～ MM 4 を備える。CLK セクタ 2 5 は、クロック信号 CLK L とクロック信号 CLK H との入力端子を有する。CLK セクタ 2 5 で選択されたクロック信号は、CPU 2 6、外部メモリ MM 1 ～ MM 4 の各 CLK 端子に入力される。また、CPU 2 6 と外部メモリ MM 1 ～ MM 4 との間は、Data バスが接続されている。さらに、CLK セクタ 2 5 は、CPU 2 6 によって、命令単位または命令実行単位で制御される。

【 0 0 6 0 】

外部メモリ MM 1 ～ MM 4 のうち、外部メモリ MM 4 のみがメモリアクセス時間の遅いデバイスであった場合、外部メモリ MM 4 に対するイネーブル信号が立ったときには、CLK セクタ 2 5 で遅いクロック信号 CLK L が選択され、回路は低速で動作を行う。その他の外部メモリが選択された場合やメモリアクセスサイクル以外（図 4（B）における op フェッチサイクル）では、速いクロック信号 CLK H が選択される。これにより、図 4（B）に示した従来動作での Wait サイクルを挿入する必要がなくなり、クロック信号のトグル回数を低減することが可能となる（本例では 2 回低減している）。

【 0 0 6 1 】

なお、図 4 では、複数の外部メモリ MM 1 ～ MM 4 としたが、これに限るものではなく、半導体集積回路の内部メモリであってもよい。また、論理的に複数メモリとして扱う単一メモリであってもよい。

【 0 0 6 2 】

〔第 4 実施形態〕

本発明の第 4 実施形態では、半導体集積回路に接続された各周辺回路についても、第 3 実施形態と同様に I/O アドレスをデコードした結果である。I/O イ

ネーブル信号によって、CPU及び周辺回路の動作周波数を実行する命令単位または実行サイクル単位に、動作周波数を変更または停止することができるよう半導体集積回路を構成する。つまり、動作周波数を実行する命令単位または命令実行サイクル単位に動作周波数を変更または停止するセクタ回路と、I/Oアドレスをデコードし、該デコード結果に対応する1つまたは複数の周辺回路の各動作速度に応じて、該セクタ回路を制御する制御手段であるCPUと、を備えた構成とする。これにより、ウェイトサイクルの追加なしにアクセスする事が可能になる。例えば、図4(A)に示した外部メモリMM1～MM4を周辺回路に置き換え、図4(B)に示したタイミングチャートにおいてメモリリードサイクル及びメモリライトサイクルをI/Oリードサイクル及びI/Oライトサイクルとする。これにより、第3実施形態と同様に、半導体集積回路に接続された各周辺回路についても、従来動作でのWaitサイクルを挿入する必要がなくなり、クロック信号のトグル回数を低減することが可能となる。

【 0 0 6 3 】

〔第5実施形態〕

本発明の第5実施形態では、半導体集積回路が備えたキャッシュメモリにヒットしたか否かによって動作周波数を可変することができるよう半導体集積回路を構成する。図示しないが、第5実施形態の半導体集積回路は、CPU及びキャッシュメモリと、外部メモリと、を備えた構成とする。半導体集積回路において、通常、外部メモリへのデータアクセスは、内部メモリへのデータアクセスよりも時間がかかる。この対策として、ある領域のデータを前もって取り込むことが可能なキャッシュメモリを半導体集積回路に設ける。そして、ある領域のデータを前もってキャッシュメモリに取り込み、これらのデータへのアクセス要求があったときには、キャッシュメモリに予め書き込んでおいたデータを読み出すことで、半導体集積回路を高速に動作させることが可能になる。本発明では、キャッシュメモリにヒットした（予め書き込んだ内容をキャッシュメモリから読み出す）場合と、キャッシュミスした（読み出す内容がキャッシュメモリに予め書き込まれてなく、外部メモリからデータを読み出す）場合と、によってクロックを実行命令単位または実行サイクル単位に切り替えるように、制御手段であるCPU

で制御し、より効率的に動作させる。つまり、キャッシュメモリにヒットしなかった場合には、外部周辺メモリの動作速度に合わせてクロックを低速にするように、CPUで制御する。また、キャッシュメモリにヒットした場合には周波数を速くして、より高速にデータを読み込むようにCPUで制御する。さらに、このときデータ取り込みのサイクル及びその際に動作する機能ブロックのみを低速クロックで動作させ、それ以外のサイクルおよび機能ブロックは高速のまま動作させるようにCPUで制御することもできる。

【0064】

次に、図5に基づいて半導体集積回路の動作を説明する。図5は、本発明の第5実施形態に係る半導体集積回路の動作を説明するためのフローチャートである。まず、半導体集積回路のCPUは、所定の内容を読み出す場合、キャッシュメモリにアクセスし、その内容がヒットしたか否かによって、異なる処理を行う（ステップ101）。つまり、キャッシュメモリにヒットした場合は、所定の高速クロックでキャッシュにアクセスして、所定のデータを読み出す（ステップ102）。そして、CPUは次の命令を読み出す（ステップ104）。一方、ステップ101において、キャッシュメモリにヒットしない（キャッシュミスした）場合は、所定の低速クロックで外部メモリにアクセスして、所定のデータを読み出す（ステップ103）。そして、同様に、CPUは次の命令を読み出す（ステップ104）。

【0065】

〔第6実施形態〕

半導体集積回路が命令やデータのパイプラインを持つ場合、同時に処理される内容によっては、各パイプラインステージの処理量に差がある。このような場合、通常は処理の少ないステージでは処理完了後処理の多いステージが処理完了するまでデータを準備した状態で待つことになる。そこで、本発明の第6実施形態では、上記のような場合、ステージ毎にクロックを分離して、処理が少ない場合には、そのステージのみ動作周波数を遅くして、各ステージでの処理完了のタイミングを合わせることができるよう半導体集積回路を構成する。これにより、データ保持している間の無駄な動作による電力の消費をなくすることができる。

【 0 0 6 6 】

例えば、特開平 6 - 2 9 5 2 4 3 号公報及び特開平 8 - 1 4 7 1 6 1 号公報のデータ処理装置では、上記のような場合、各ステージで処理完了次第クロックを停止（ウェイトステート）させている。クロックが停止またはウェイトステートに入っている期間は内部動作が少ないため、この期間の消費電流は他の期間に比べて少なくなる。しかしながら、ただ何もしないサイクルが存在するならば、その前に行った処理をこのクロック停止もしくはウェイトの時間を有効に使ってゆっくりと処理させてやることで、電力消費を平均化させることができ、また、回路動作時のピーク電流を抑えることに有効である。

【 0 0 6 7 】

図 6 は、パイプライン方式の半導体集積回路における従来及び本発明の処理方法を説明するためのタイミングチャートである。図 6 では、パイプライン処理として、ステージ 1 ～ 3 の処理を行うものとする。図 6 (A), (B) のデータ 1、データ 2、データ 3 において、パイプライン 3 1 における各ステージのデータ処理期間を「－」で表し、データ処理完了後のデータ保持期間を「確」で表す。また、処理結果が確定するまでの各クロックで各々のステージが処理するデータ量を 1 としたときに、各クロックでの処理量がトータルでどれだけになるかを計算した結果を、波形の下の数値で示す。従来手法である図 6 (A) では、各命令処理サイクルの前半では、全てのステージがそれぞれデータ量 1 の処理を行うため、回路全体では処理数は 3 になる。ところが、処理サイクルの後半では、3 つのステージのうち 1 つまたは 2 つのステージでは既に処理が終了しているため、最終クロックでのデータ処理量は 1 ～ 2 に低下している。これに対して、本発明の第 6 実施形態では、図 6 (B) に示したように、処理数がサイクル内で平均的になるように、制御手段である CPU でサイクル内での総処理数に合わせてクロックを低速になるように制御する。これにより、処理サイクル内での処理数は一定となり、最大 2. 6 まで下がっている。また、ピーク電流の低下は、レイアウト上では電源配線を細くすることができ、これにより、バッテリーの寿命を延ばすことができる。

【 0 0 6 8 】

〔第 7 実施形態〕

本発明の第 7 実施形態では、スーパスケーラの機能を持つ場合にも、同様に信号経路毎にクロックを独立して入力するように構成し、また、処理の少ない信号経路の動作周波数は遅くすることで消費電力を低減しつつ、外部への信号出力タイミングは従来と同じにできるように、半導体集積回路を構成する。処理の多少については、実行する命令の種類、演算の種類及び制御する周辺回路によって処理量の重み付けを行い、このテーブルを元に処理の重／軽の決定を行う。図 7 は、スーパスケーラ機能をもつ半導体集積回路の構成及び処理を説明するための図である。スーパスケーラでは複数の実行ユニットを持ち、実行時に同時に実行できる処理を判断し、これらの処理をハードウェア的に各々の実行ユニットに振り分け、並列に処理を行うように、制御手段である CPU で制御する。図 7 (A) に示したように、この例では命令を 2 つの処理系統に振り分ける際、パイプライン 4 2 には処理の重いもの（処理負荷が大きいもの）を、パイプライン 4 1 には処理の軽いもの（処理負荷が小さいもの）を、優先的に振り分けるように制御する。そして、パイプライン 4 2 には高速の CLK_H を与え、パイプライン 4 1 には低速の CLK_L を与える。これにより、軽い処理は低速クロックで、重い処理は高速クロックで処理した結果がほぼ同時に出力されるようになり、処理の早く終わった処理系統が無駄に CLK をカウントすることなく処理を行うことが可能となる。この例では、処理系統は 2 系統でクロックも CLK_H, CLK_L の 2 種類であるが、3 種類以上のクロック及び処理系統を持つことで、より効率的な処理が可能となる。

【 0 0 6 9 】

処理の重み付けは命令の種類、演算の種類、アクセスする周辺回路などによって予めテーブルを準備しておく。そして、図 7 (B) に示したように、順次流れてきた命令を命令の重みに応じて、CPU は 2 つのユニットに振り分ける。命令は a ～ g の 7 種類とし、命令の重み付けは命令 a が最も重く、命令 g が最も軽いものと設定を行ったものとする。また、命令は 2 つずつがセットで処理され、2 つのうちのどちらが重いかで振り分けるように制御する。この結果、1 段目の処理では命令 a と命令 b が入力され、命令 a よりも処理の軽い命令 b が低速 CLK

のパイプライン 4 1 へ入力され、命令 b よりも処理の重い命令 a が高速 C L K のパイプライン 4 2 へ入力される。以降、順次比較を行い、処理の軽い命令は低速側パイプライン、重い命令は高速側パイプラインで処理を行う。

【 0 0 7 0 】

〔第 8 実施形態〕

第 8 実施形態では、V L I W (Very Long Instruction Word) 型の回路の場合にも同様に信号経路毎にクロックを分離して経路毎に周波数を変更できるように、半導体集積回路を構成する。図 8 は、V L I W 型の半導体集積回路の処理例を示した図である。V L I W では、制御手段である C P U がプログラムをコンパイルする際、予め同時に実行できる命令を並列に並べて通常 1 0 0 bit 以上の命令コードフォーマットに変換して処理を行う。そこで本発明では、C P U がプログラムをコンパイルする時に各処理の内容から最適なクロック周波数を各々選択しておき、それに基づいて処理を行うようにする。図 8 では説明を簡略化するため、4 つの命令を並列に処理する構成とする。この場合、C P U は、インストラクションを 4 ワードの命令に変換する際に各々の処理に対する最適な周波数を選択し、それぞれのステージで異なる周波数によって動作を行う。これにより、トータルの処理時間は一切低下させずに、内部の無駄な動作を削減して、システムの性能はそのままに消費電力を低減できる。

【 0 0 7 1 】

なお、図 8 に示した例では、クロックは C L K H、C L K L の 2 種類であるが、3 種類以上のクロックを用いることで、より効率的な処理が可能となる。

【 0 0 7 2 】

〔第 9 実施形態〕

第 9 実施形態では、クロックツリーを構成する際に、クロックの使用頻度によって各々のクロックに対して重み付けを行い、使用頻度の高いクロックが周波数選択回路のツリー構造において最終段に近くなるように、半導体集積回路を構成する。これにより、クロック切替えを行うパスの負荷が低減され、素早くクロックを変更することができる。以下に第 9 実施形態の一例を図 9 に基づいて説明する。図 9 は、クロックツリーの構成回路及びクロック切替え時の充放電量を示し

た図である。図 9 (A) に示した通常のクロックツリー 60 は、機能ブロック X 62 に入力されるクロックが、4 入力 1 出力のセクタ A 61 によって CLK 1 ~ CLK 4 のうちの何れかが選択・供給される構成である。このとき、パス n 1 の負荷により、クロックの切替えの瞬間、クロック波形が不安定になることが考えられる。

【 0 0 7 3 】

これに対して、本発明では図 9 (B) に示したように、クロックツリー 70 では、全てのセクタを 2 入力 1 出力セクタとして多段構成とする。セクタは入力数が少ないほど、出力の負荷は少なくなる。最も使用頻度の高い CLK 1 はブロック X 74 に一番近いセクタ B 71 に直接接続する。次に、使用頻度の高い CLK 2 はセクタ C 72 に直接接続する。セクタ B 71 が CLK 1 を選択している間、ノード n 3 には CLK 2 を出力しておくように、制御手段である図外の CPU で制御する。セクタ B 71 が切り替わる時、既にセクタ B 71 の入り口に準備されている CLK 2 が即座に入力される。既に述べた通り、セクタ B 71 の出力負荷はセクタ A 61 に比べ軽いため、クロック切り替わりの瞬間もクロック波形は比較的安定している。CLK 3、CLK 4 からは負荷が重たくなるが、これらのクロックを使用する頻度は低く、ブロック X 74 に入力する為には前もってセクタ D 73、セクタ C 72 を切り替えておけば、セクタ B 71 が切り替わる時には、n 3 に対して安定した CLK 3 または CLK 4 を供給することが可能である。CLK 1 → CLK 2 → CLK 1 → CLK 2 → CLK 3 と切り替わるとき、クロックツリー 60、70 に示したそれぞれの回路でどれだけの負荷を充放電することになるかを図 9 (C) に示す。なお、ノード n 1 の負荷は 4、ノード n 2 ~ n 4 の負荷は 2 となる。使用頻度の低い CLK 3、4 を使用するときには充放電の量が多くなるが、使用頻度の高い CLK 1、CLK 2 の切替え時には充放電の量が少なくなるため、本発明のクロックツリー 70 は、トータルでは充放電量が低減される。

【 0 0 7 4 】

〔第 10 実施形態〕

第 10 実施形態では、コンパイラで各命令実行時の処理速度を認識させて、各

々の命令実行時に最適な動作周波数を判断させて、出力されるコードの中にその周波数を決定するビットを生成するように、半導体集積回路を構成する。つまり、異なる動作周波数で動作させても良い場所を命令の処理内容や該命令の前後の命令との関係からCPUが備えたコンパイラで決定し、該命令中の一部のビットにその情報をCPUが書き込むように構成し、また、一部または全てのブロックの動作周波数を命令単位または実行サイクル単位で変更または停止可能に半導体集積回路を構成する。これにより、プログラム担当者は内部回路の動作速度を意識することなく、自動的に最適なスピードで回路を動作させることができる。

【0075】

【発明の効果】

本発明によれば、以下の効果が得られる。

【0076】

(1) 1つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路は、命令実行サイクル単位で、該回路ブロックの動作周波数を変更または停止可能に構成されているため、周波数可変とするとときに、最小単位でクロックを制御することから、システムの処理速度の低下を必要最小限にできる。また、実行する命令コードを元に、機能ブロック単位にクロック周波数を選択可能とすることにより、ソフトウェア上では消費電力の低減を特に意識する必要が無く、半導体集積回路を使用することができる。

【0077】

(2) 1つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路は、命令コードからブロック毎に最適な動作周波数を認識し、該回路ブロック毎の動作周波数を実行する命令実行サイクル単位に、該回路ブロック毎の動作周波数を変更または停止可能に構成されているため、クロック周波数の変更を実行サイクル単位に変更可能とすることにより、クロック制御のための特別な命令を追加することなく、システムのクロックを制御でき、動作速度の低下を最低限に抑えつつ、より効率的に消費電力を低減できる。

【0078】

(3) 複数のメモリ、または論理的に複数メモリとして扱う単一メモリを回路外

部または内部に有し、命令セットを実行する半導体集積回路は、該メモリのメモリブロック単位でアドレスをデコードして、動作周波数を実行する命令単位または命令実行サイクル単位に動作周波数を変更し、対応するメモリの性能に応じて、データアクセスのサイクルの動作スピードを変更可能に構成されているので、低速周辺回路に連続してアクセスするときに、処理速度を大幅に低下させることなく、無駄な動作を省きつつ、必要最小限の速度低下に抑えることができる。

【 0 0 7 9 】

(4) 1つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路は、I/Oアドレスをデコードし、該デコード結果に対応する1つまたは複数の周辺回路の各動作速度に応じて、CPU及び該周辺回路の動作周波数を実行する命令単位または実行サイクル単位に、該動作周波数を変更または停止可能に構成されているため、低速周辺回路に連続してアクセスするときに、処理速度を大幅に低下させることなく、無駄な動作を省きつつ、必要最小限の速度低下に抑えることができる。

【 0 0 8 0 】

(5) 1つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路は、データアクセスの際にキャッシュメモリにヒットしたか否かにより、内部のCPU及び周辺回路へのアクセス回路の動作周波数を、実行命令単位または実行サイクル単位に該動作周波数を変更または停止可能に構成されているため、高速処理が可能なキャッシュヒット時と低速処理が必要なヒットしなかった時とで、自動的に最適なクロック速度に切り替えることができる。

【 0 0 8 1 】

(6) 1つまたは複数の回路ブロックを有し、命令セットを実行し、命令処理またはデータ処理の少なくとも何れかをパイプライン方式で実行する半導体集積回路は、同時に実行する処理の負荷に差がある場合、一方の処理よりも負荷が軽い処理の動作周波数を遅くするように構成されるため、信号処理がサイクル内で十分速く終了し、処理されたデータを使用するまでにデータを保持したまま待つような回路部分に対しては、与えるクロックの周波数を低くすることでデータ保持状態にすること無く、信号処理サイクルを有効に活用することができる。また、

ただ何もしないサイクルが存在するならば、その前に行った処理をこのクロック停止もしくはウェイトの時間を有効に使ってゆっくりと処理させてやることで、電力消費を平均化させることができ、また、回路動作時のピーク電流を有効に抑えることができる。

【0082】

(7) 1つまたは複数の回路ブロックを有し、命令セットをスーパスケラ方式で実行する半導体集積回路は、複数のデータ処理経路に入力するクロックをそれぞれ独立して入力するように構成され、同時に実行する処理の負荷に応じて各実行ステージの動作周波数を個別に変更可能に構成されることにより、クロック周波数の異なる複数の信号処理経路を持つことで、処理の振り分け段階で高速／低速動作経路へ各々の命令を最適に振り分けることができる。また、軽い処理は低速クロックで、重い処理は高速クロックで処理した結果がほぼ同時に出力されるようになり、処理の早く終わった処理系統が無駄にCLKをカウントすることなく処理を行うことができる。

【0083】

(8) 1つまたは複数の回路ブロックを有し、命令セットをVLIW方式で実行する半導体集積回路は、複数のデータ処理経路に入力するクロックをそれぞれ独立して入力するように構成され、また、同時に実行する処理の負荷に応じて各実行ステージの動作周波数を個別に変更可能に構成されるので、トータルの処理時間は一切低下させずに、内部の無駄な動作を削減することにより、システムの性能はそのままに消費電力を低減することができる。また、クロック周波数の異なる複数の信号処理経路を持つことで、処理の振り分け段階で高速／低速動作経路へ各々の命令を最適に振り分けることができる。

【0084】

(9) 1つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路は、プログラム実行時に各ブロックに対して動作周波数を変更または停止する頻度に応じてクロックツリーを階層化して構成することにより、単純にクロックツリーを構成したときと比較してクロック切替え時に充放電が必要な配線容量が少なく済むため、より安定した動作が得られる。

【 0 0 8 5 】

(10) 1 つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路は、異なる動作周波数で動作させても良い場所を命令の処理内容や該命令の前後の命令との関係からコンパイラで決定し、該命令中の一部のビットにその情報を書き込むように構成され、また、一部または全てのブロックの動作周波数を命令単位または実行サイクル単位で変更または停止可能に構成されるため、プログラム時にクロック速度を考慮する必要が無く、且つ余分な命令の追加も無く、動作性能の低下を最小限に抑えつつ低電力化することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態に係る半導体集積回路の動作タイミングチャート及び従来の半導体集積回路の動作タイミングチャートである。

【図 2】選択回路の回路構成図である。

【図 3】半導体集積回路において命令コードと各ブロックのクロックと関係を示した図である。

【図 4】本発明の第 3 実施形態の回路構成図及びタイミングチャートと、従来のタイミングチャートである。

【図 5】本発明の第 5 実施形態に係る半導体集積回路の動作を説明するためのフローチャートである。

【図 6】パイプライン方式の半導体集積回路における従来及び本発明の処理方法を説明するためのタイミングチャートである。

【図 7】スーパスケラ機能をもつ半導体集積回路の構成及び処理を説明するための図である。

【図 8】V L I W 型の半導体集積回路の処理例を示した図である。

【図 9】クロックツリーの構成回路及びクロック切替え時の充放電量を示した図である。

【図 1 0】半導体集積回路の一般的な回路構成図、及び所定の状態における各ブロックの状態を示した図である。

【符号の説明】

1 1 - 選択回路

1 2, 1 3 - セレクタ

2 0 - 半導体集積回路

3 1, 3 2, 4 1, 4 2 - パイプライン

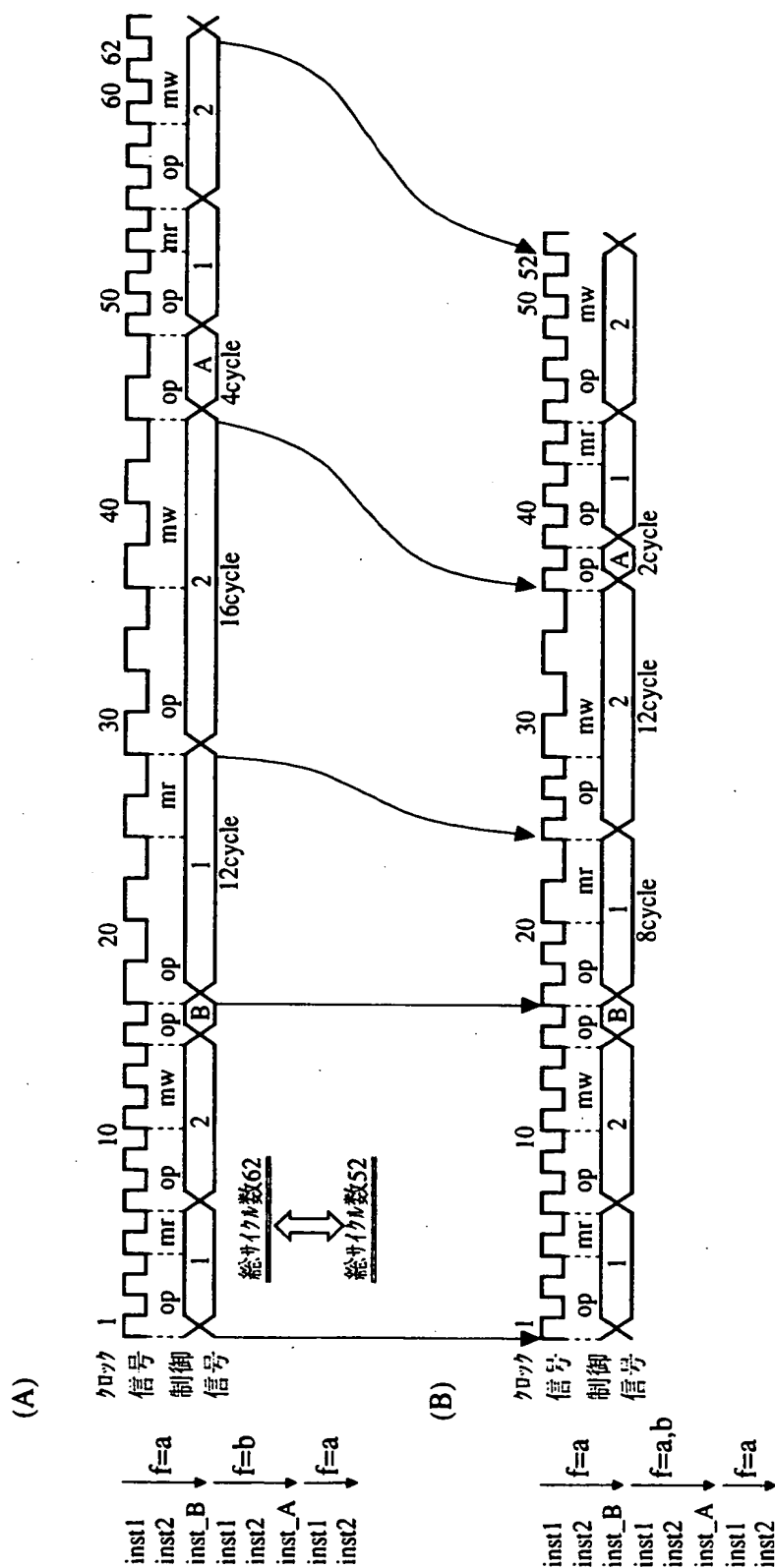
6 0, 7 0 - クロックツリー

6 1 - セレクタ A

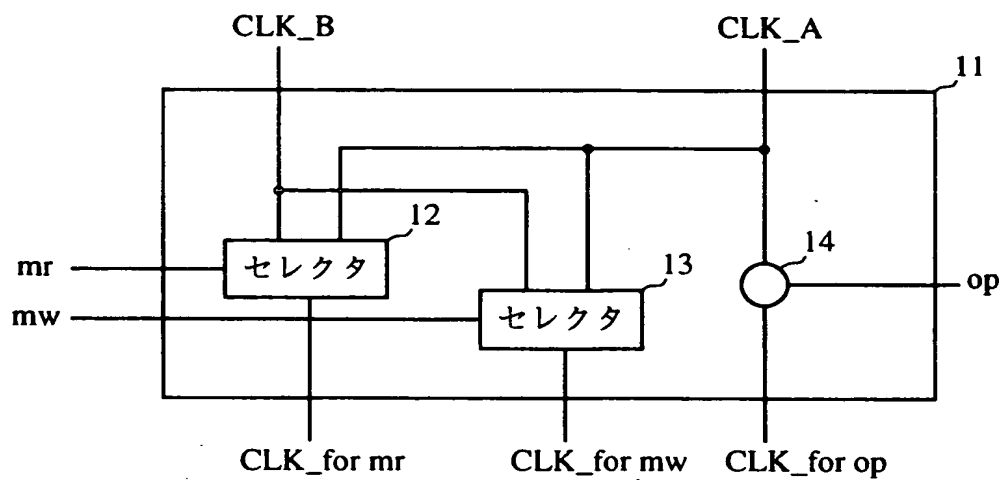
6 2, 7 4 - ブロック X

【書類名】 図面

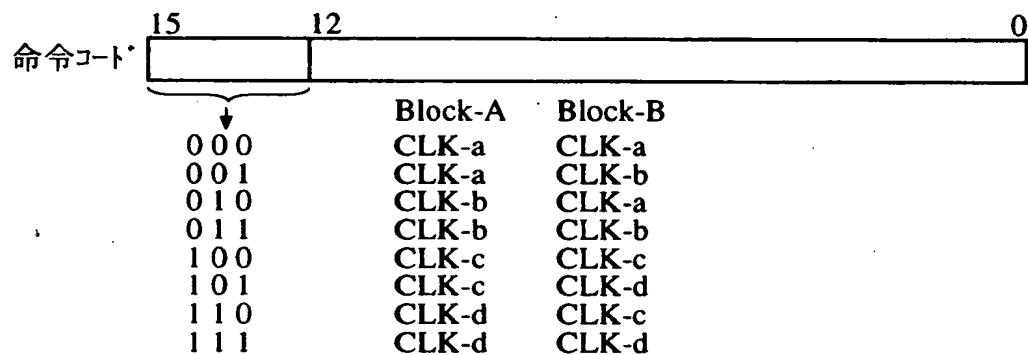
【図 1】



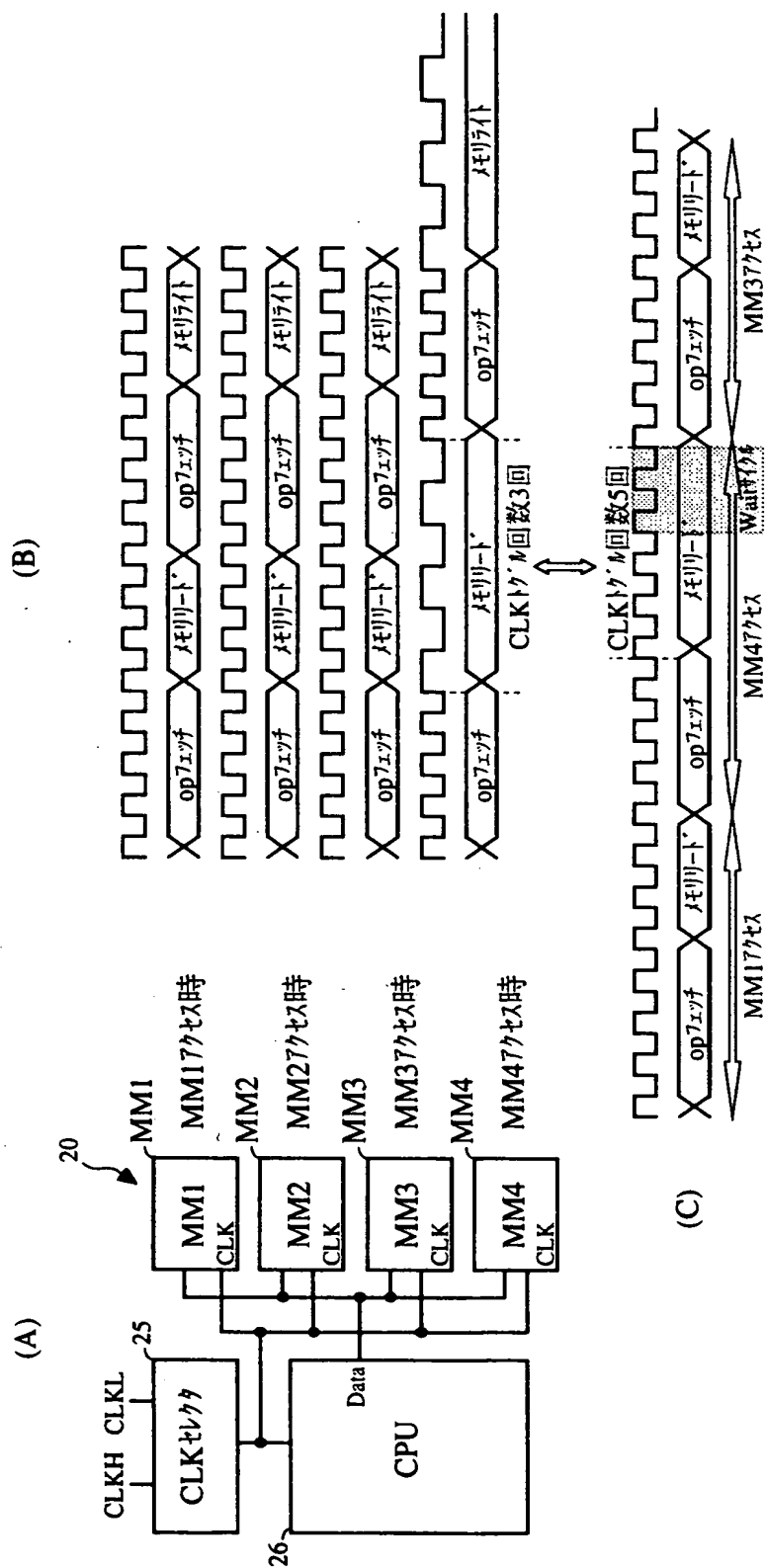
【図 2】



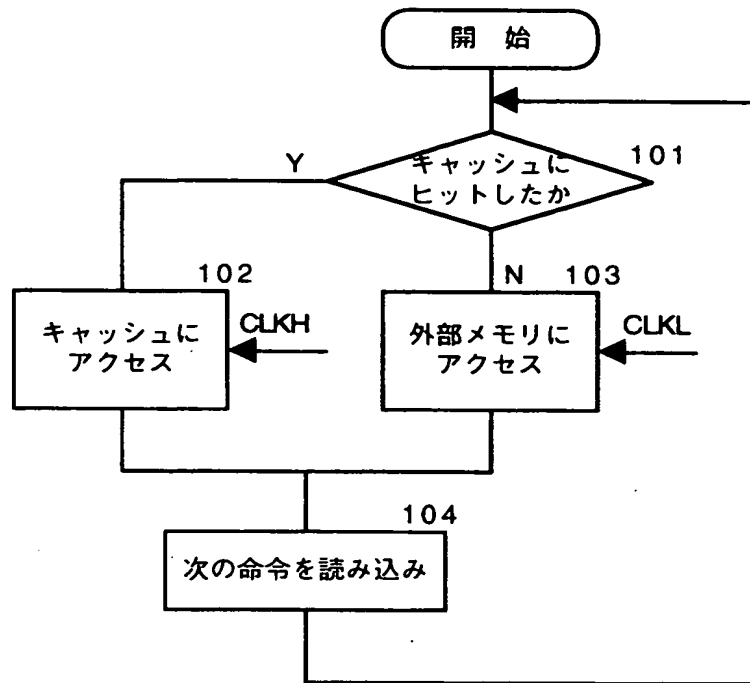
【図 3】



【図 4】

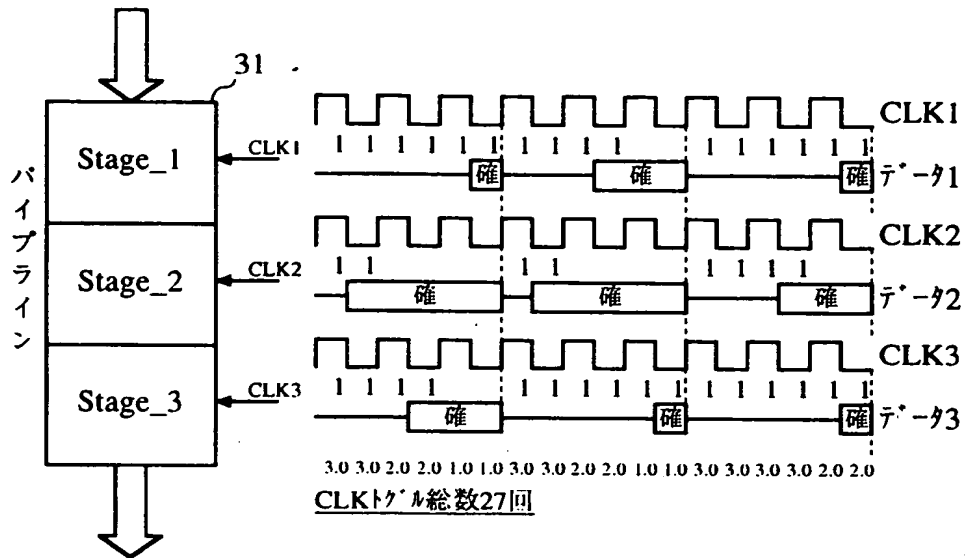


【図 5】

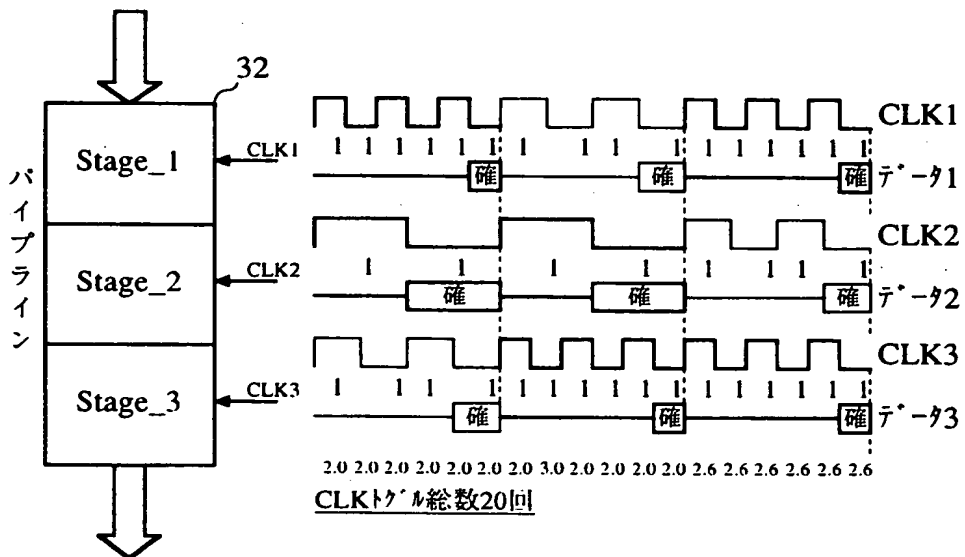


【図 6】

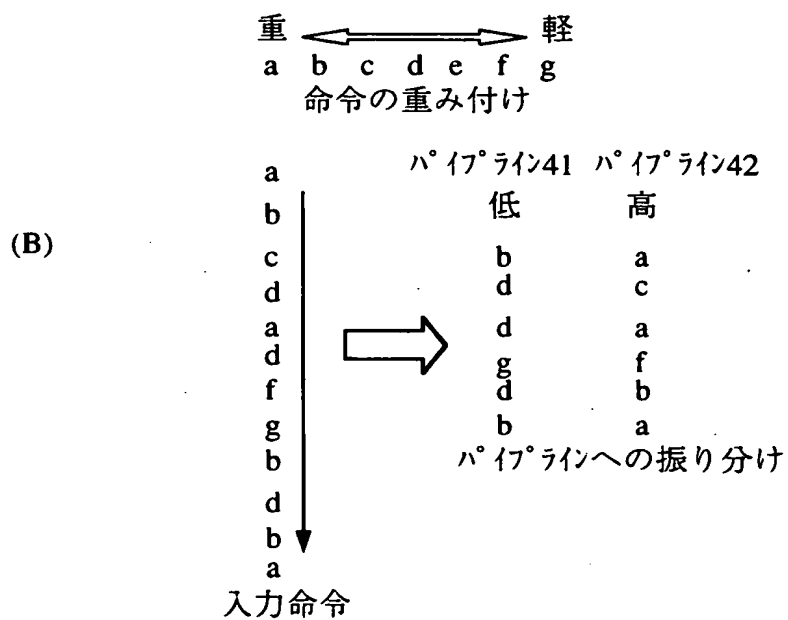
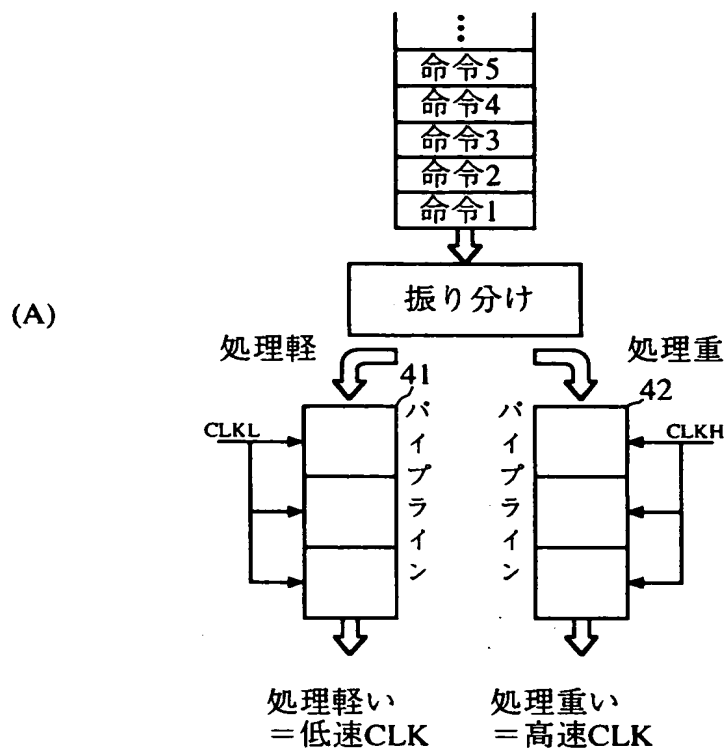
(A)



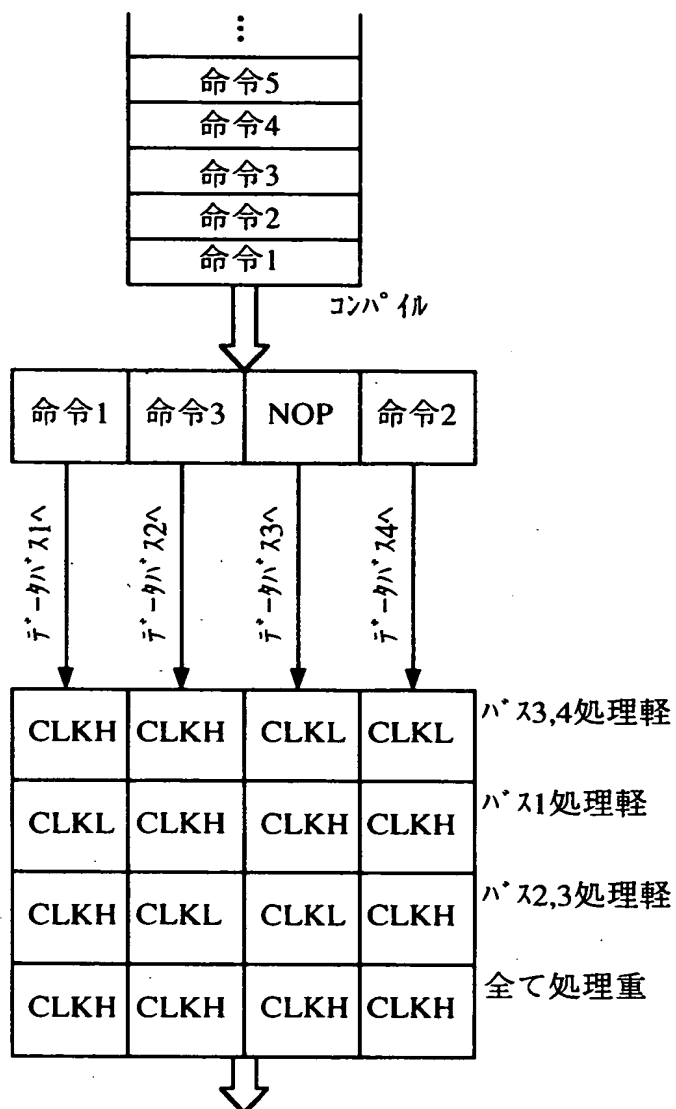
(B)



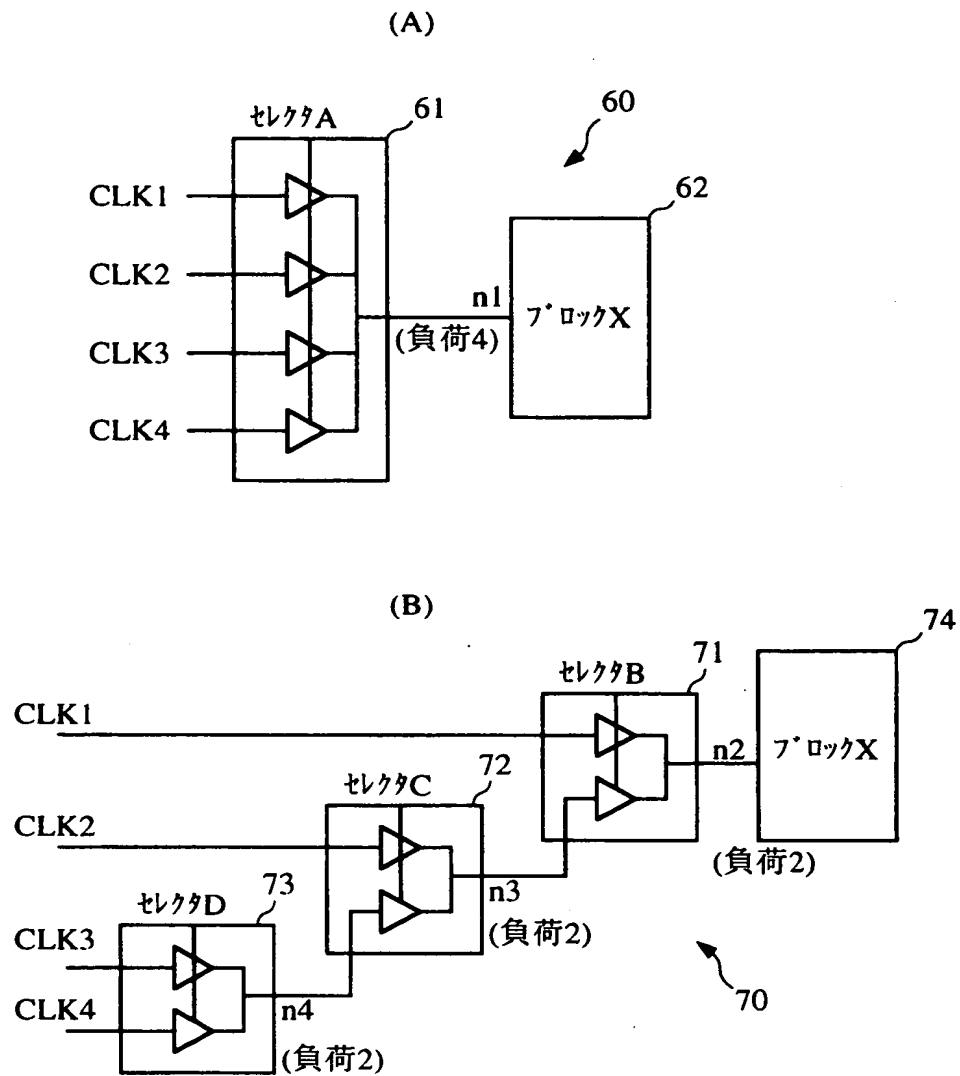
【図 7】



【図 8】

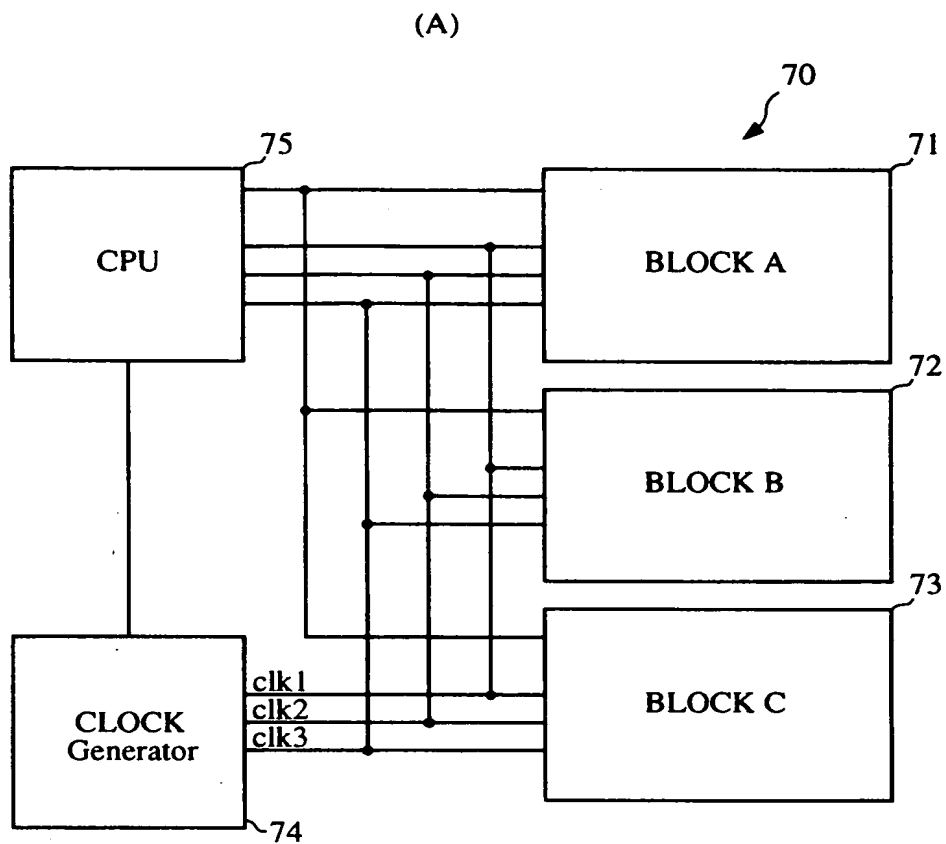


【図 9】



CLKの遷移	CLK1	CLK2	CLK1	CLK2	CLK3
クロックツリ-60	4	4	4	4	4
クロックツリ-70	2	2	2	2	4

【図10】



(B)

state	BLOCK A	BLOCK B	BLOCK C
イ	◎		
ロ		◎	
ハ	◎		△
ニ	○	○	○
ホ		△	

◎ 非常に活発に動作
 ○ 常時動作
 △ 時々動作

【書類名】 要約書

【要約】

【課題】 1つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路において、より効率的に消費電力の低減を図ることができる回路構成方法を提供する。

【解決手段】 1つまたは複数の回路ブロックを有し、命令セットを実行する半導体集積回路を、命令単位や命令実行サイクル単位で、該回路ブロックの動作周波数を変更または停止可能に構成する。また別の方法として、複数のメモリ、または論理的に複数メモリとして扱う単一メモリを回路外部または内部に有し、命令セットを実行する半導体集積回路を、該メモリのメモリブロック単位でアドレスをデコードして、動作周波数を実行する命令単位または命令実行サイクル単位に動作周波数を変更し、対応するメモリの性能に応じて、データアクセスのサイクルの動作スピードを変更可能に構成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社